



FICHE PROJET DE THESE pour ANNEE 2013-2014

Fiche à adresser, par voie électronique, à l'école doctorale avant le 14 janvier 2013

Discipline du Doctorat <i>Cf l'article 1^{er} de règlement intérieur de l'ED Indiquer le n° à 7 chiffres et l'intitulé (tout ou partie selon le cas)</i>	4200018 – Informatique
Mention du Doctorat <i>Cf l'article 1^{er} de règlement intérieur de l'ED Indiquer le n° de la section CNU et l'intitulé</i>	Informatique - Section 27
Domaine scientifique principal	Informatique
Domaines scientifiques secondaires	Modélisation et simulation ; Test de systèmes électroniques
Entités de rattachement <ul style="list-style-type: none">- Centre de recherche (UMR LISA, UMR SPE, FRES, INRA-CIRAD)- Projet structurant	SPE - UMR CNRS 61 34 Projet TIC
Direction de la thèse Préciser : (i) Nom, prénom ; (ii) tél et E-mail ; (iii) la qualité d'HDR(ou non) pour les Dr <ul style="list-style-type: none">- Directeur- Co-directeur éventuel envisagé	Directeur: Professeur SANTUCCI Jean-François; 04 95 45 0 66; santucci@univ-corse.fr Co-directeur: MCF CAPOCCHI Laurent; 04 95 45 01 30; capocchi@univ-corse.fr
Collaborations extérieures éventuelles envisagées (convention de codirection, - de cotutelle ; entreprise...)	Prof. Bernard P. Zeigler, RTSync, Arizona, USA
Type de financement visé <i>(barrer les mentions inutiles)</i>	Contrat Doctoral
Connaissances et compétences requises chez l'étudiant	<ul style="list-style-type: none">- Connaissance des formalismes de modélisation informatique (DEVS de préférences)- Maîtrise des concepts de la POO- Connaissance du Langage VHDL
Titre de la thèse	Aide à la Conception de systèmes électroniques par l'intégration de notions de testabilité au sein de méthodes de synthèse basée sur le formalisme HDEVS .
Abstract 1 (5-8 lignes, police Arial 10) : Présentation explicite du projet de thèse – Aspects scientifiques <i>Finalité, méthodologie et problématique, intérêt scientifique, caractère innovant</i>	Le but de cette thèse est de proposer une méthodologie d'aide à la conception de circuits électroniques programmables de type FPGA. La méthodologie envisagée consiste en 3 étapes principales : <ul style="list-style-type: none">- élaboration d'une modèle de fautes défini à partir du formalisme HDEVS développé par le Prof. Zeigler (ce formalisme permet la modélisation et la simulation de descriptions de systèmes électroniques grâce au formalisme DEVS) .

	<ul style="list-style-type: none"> - la définition d'un simulateur de fautes pour des descriptions HDEVS qui sera validé au sein de l'environnement DEVSimPy. - la définition de règles d'amélioration de la testabilité des descriptions HDEVS à partir d'une analyse des résultats de la simulation de fautes.
<p>Abstract 2 (5-8 lignes, police Arial 10) : Présentation des enjeux de la thèse <i>Adéquation avec la politique scientifique de l'UCPP - Intérêt de la recherche dans le cadre du développement régional</i></p>	<p>Les enjeux de la thèse s'inscrivent à la fois dans le cadre de l'activité du projet TIC et de ces relations avec le monde industriel. En effet, les travaux permettront d'enrichir les domaines d'applications ainsi que les bibliothèques de composants utilisés au sein de DEVSimPy. De plus, ces travaux seront développés dans le cadre d'une collaboration avec le Prof. Zeigler qui a défini le formalisme DEVS dans les années 70. Le formalisme DEVS est devenu depuis le formalisme de référence pour la modélisation et la simulation de systèmes complexes. Le Professeur Zeigler a depuis peu créé une entreprise (RTSync) qui a pour but de commercialiser les applications développées autour du formalisme DEVS. Cette collaboration avec la Société RTSync vient renforcer la valorisation des travaux de recherche développés au sein du projet TIC dans le monde de l'entreprise. Ce transfert de connaissance entre l'université de Corse et la société RTSync du Prof. Zeigler leader dans le domaine de la modélisation et simulation au niveau international est prometteur pour la Corse.</p>
<p>Explicitation sur page suivante</p>	

Explicitation du Projet de thèse

1°) Présentation des aspects scientifiques du projet de thèse (½ page à 1 page environ, police Arial 10)
Finalité, méthodologie et problématique, intérêt scientifique, caractère innovant

Le formalisme DEVS a été largement utilisé dans la modélisation et la simulation pour concevoir, vérifier et mettre en œuvre des systèmes réactifs complexes. DEVS fournit un formalisme robuste pour concevoir des systèmes utilisant des modèles à base d'états dans lesquels le temps est explicitement défini. Le but de cette thèse est d'utiliser le formalisme DEVS pour définir une méthodologie d'aide à la conception de systèmes électroniques. La conception de systèmes électroniques repose actuellement sur le langage VHDL. VHDL est un [langage de description de matériel](#) destiné à représenter le comportement ainsi que l'architecture d'un système [électronique numérique](#). L'intérêt d'une telle représentation réside dans son caractère exécutable : une spécification décrite en VHDL peut être vérifiée par simulation, avant que la conception détaillée ne soit terminée. En outre, les outils de [conception assistée par ordinateur](#) permettant de passer directement [d'une description fonctionnelle en VHDL à un schéma en porte logique](#) ont permis l'avènement entre autre des circuits reprogrammables tels que les FPGA.

Cependant le langage VHDL n'est pas adapté à la vérification, la validation et le test. De plus la phase d'optimisation dans le cadre de la synthèse de circuits reprogrammables est difficile à réaliser avec le langage VHDL car elle peut impliquer l'imbrication de différentes horloges.

Pour toutes ces raisons, le Professeur Zeigler a défini un sous-ensemble du formalisme DEVS (appelé HDEVS pour Hardware DEVS) qui permet la modélisation de spécifications de circuits électroniques à haut niveau d'abstraction. Le modèle HDEVS est ensuite traduit en langage VHDL pour pouvoir être synthétisé. L'avantage d'utiliser le formalisme HDEVS permet l'utilisation du formalisme DEVS pour la simulation et l'optimisation de la description avant la synthèse (ce qui n'est pas possible avec le langage VHDL).

L'objectif scientifique de la thèse est de compléter les outils développés par le Professeur Zeigler afin de définir une méthodologie complète d'aide à la conception de circuits électroniques basée sur

HDEVS. En effet les aspects analyse de la testabilité des descriptions HDEVS doivent être développés. La méthodologie envisagée consiste en 3 étapes principales :

- élaboration d'une modèle de fautes défini à partir du formalisme HDEVS développé par le Prof. Zeigler (ce formalisme permet la modélisation et la simulation de descriptions de systèmes électroniques grâce au formalisme DEVS) .
- la définition d'un simulateur de fautes pour des descriptions HDEVS qui sera validé au sein de l'environnement DEVSimPy.
- la définition de règles d'amélioration de la testabilité des descriptions HDEVS à partir d'une analyse des résultats de la simulation de fautes.

La validation des travaux sera réalisée à partir d'exemples concrets de réalisation de circuits de type FPGA en partant des descriptions HDEVS jusqu'à l'implantation matériel du circuit. Les concepts théoriques développés pour résoudre les problèmes soulevés dans le cadre des 3 étapes de la thèse (modèle de fautes, simulation de fautes, analyse de testabilité) seront implémentés au niveau logiciel en utilisant l'environnement DEVSimPy puis transférer au sein de l'infrastructure MS4-Me développée par la société RTSync.

2°) Présentation des enjeux de la thèse (½ page à 1 page environ, police Arial 10)

Adéquation avec la politique scientifique de l'UCPP - Intérêt de la recherche dans le cadre du développement régional.

Le cadre des travaux développés dans cette thèse est en parfaite adéquation avec les thématiques du projet TIC de l'Université de Corse. En effet, ces travaux vont permettre l'enrichissement et la valorisation des domaines d'applications (domaine conception de circuits électroniques), des bibliothèques de modèles informatiques (bibliothèque pour la description de modèles de fautes HDEVS) et d'un algorithme de simulation de fautes comportemental. Ces travaux vont également permettre l'émergence de nouveaux concepts inexistant à ce jour dans le formalisme DEVS comme la modélisation des systèmes à événements discrets pour les systèmes reprogrammables. Les travaux de recherche qui seront réalisés en étroite collaboration avec la société RTSync leader international dans le domaine DEVS, devraient déboucher sur un transfert de connaissance et de compétence entre l'Université de Corse et une société de pointe dans le monde (dont le responsable est le Professeur Zeigler - l'inventeur du formalisme DEVS) . En effet, une des retombées de cette collaboration pourrait être la création d'une filiale de cette société en Corse.